

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-252770

(43)Date of publication of application : 14.09.2000

---

(51)Int.Cl. H03F 3/34

H03F 1/30

---

(21)Application number : 11-053867 (71)Applicant : ADVANCED CIRCUIT  
TECHNOLOGIES:KK

(22)Date of filing : 02.03.1999 (72)Inventor : ABE HIROSHI

---

(54) DC AMPLIFIER CIRCUIT CHARACTERIZED IN CALIBRATION METHOD  
OF OFFSET VOLTAGE



(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a DC amplifier circuit to which an offset voltage automatic calibration circuit is added, by which an output offset voltage can be suppressed up to a level sufficiently smaller than an input offset voltage.

SOLUTION: An input voltage Vin is applied to a noninverting input terminal of a main operational amplifier A and a calibration voltage Vs stored in a capacitor 1b

is applied to an inverting input terminal of the main output signal A to decide an output voltage Vout in a usual mode. In a calibration mode, a ground voltage is applied to the noninverting input terminal of the main operational amplifier A and an output voltage Vout at that time is applied to a noninverting input terminal of a calibration operational amplifier C whose own calibration is finished. A feedback loop around the main operational amplifier A is formed for a proper time by giving an output voltage Vc of the calibration output signal C to a capacitance type calibration voltage latch circuit B connected to the inverting input terminal of the main operational amplifier A so as to update the calibration voltage Vs.

---

#### LEGAL STATUS

[Date of request for examination] 20.02.2006

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
  - 2.\*\*\*\* shows the word which can not be translated.
  - 3.In the drawings, any words are not translated.
- 

## CLAIMS

---

[Claim(s)]

[Claim 1] Invention specified by following matter (1) - (5).

- (1) It is the direct-current amplifying circuit which has the description to the calibration method of offset voltage.
- (2) The output voltage of a calibration electrical-potential-difference holding circuit is impressed to one input edge of the Maine operational amplifier. The input of a calibration electrical-potential-difference holding circuit is connected to the outgoing end of the operational amplifier for a calibration.
- (3) In normal operation mode, while the input voltage which is an object for magnification is impressed to the input edge of another side of the Maine operational amplifier, the output voltage of the Maine operational amplifier is handed over by the application system as a magnification result.
- (4) Perform self calibrating processing about the operational amplifier for a calibration in the 1st process in calibration mode. While impressing the fixed electrical potential difference for a calibration to one input edge of the operational amplifier for a calibration, only a period forms suitably the feedback loop which impresses the electrical potential difference accumulated in electric capacity about the output voltage at that time to the input edge of another side, and the condition of impressing the are recording electrical potential difference of a stable state to the input edge of another side is maintained.
- (5) Perform self calibrating processing about the Maine operational amplifier in

the 2nd process in calibration mode. While impressing the fixed electrical potential difference for a calibration to one input edge of the Maine operational amplifier, the output voltage at that time is impressed to one input edge of the operational amplifier [ finishing / said self calibrating ] for a calibration. Only a period forms the feedback loop involving the Maine operational amplifier suitably in inputting into the calibration electrical-potential-difference holding circuit where the output voltage of the operational amplifier for a calibration was connected to the input edge of another side of the Maine operational amplifier, and the output voltage of a calibration electrical-potential-difference holding circuit is updated.

[Claim 2] Invention specified by following matter (21) - (27).

(21) It is the direct-current amplifying circuit which has the description to the calibration method of offset voltage.

(22) The input voltage which is an object for magnification, and the fixed electrical potential difference for a calibration are selectively impressed to one input edge of the Maine operational amplifier through the circuit changing switch circuit SW1. The output voltage of the Maine operational amplifier is handed over by the application system as a magnification result.

(23) The output voltage of the Maine operational amplifier and the fixed electrical potential difference for a calibration are selectively impressed to one input edge of the operational amplifier for a calibration through the circuit changing switch circuit SW2. The output voltage of the operational amplifier for a calibration serves as a capacitor 1d input through 2d of switching circuits, and the electrical potential difference held at this capacitor 1d is impressed to the input of another side of the operational amplifier for a calibration.

(24) The output voltage of the operational amplifier for a calibration serves as an input of a calibration electrical-potential-difference holding circuit, and the calibration electrical potential difference outputted from this calibration electrical-potential-difference holding circuit is impressed to the input of another side of the Maine operational amplifier.

(25) In the 1st process in calibration mode, while impressing a fixed electrical

potential difference to the input edge of the operational amplifier for a calibration through the circuit changing switch circuit SW2, turn ON 2d of switching circuits. After a capacitor 1d electrical potential difference is stabilized, 2d of switching circuits is turned OFF.

(26) In the 2nd process in calibration mode, while impressing a fixed electrical potential difference to the input edge of the Maine operational amplifier through the circuit changing switch circuit SW1, impress the output voltage of the Maine operational amplifier to the input of the operational amplifier for a calibration through the circuit changing switch circuit SW2. At this time, predetermined actuation is stabilized in a calibration electrical-potential-difference holding circuit by a line crack and the calibration electrical potential difference suitably outputted from this calibration electrical-potential-difference holding circuit after period progress.

(27) In the normal operation mode after calibration activation, after switching circuit 2b is cut, impress input voltage to the input edge of the Maine operational amplifier through the circuit changing switch circuit SW1.

[Claim 3] Invention specified by following matter (31) - (36).

(31) It is the direct-current amplifying circuit which has the description to the calibration method of offset voltage.

(32) There are n input terminals, n output terminals, and a Maine operational amplifier of an individual ( $n+1$ ). The output voltage of the calibration electrical-potential-difference holding circuit prepared according to the individual, respectively is impressed to one input edge of each Maine operational amplifier. Common connection of the input of each calibration electrical-potential-difference holding circuit is made at the outgoing end of the operational amplifier for a calibration. n is one or more integers.

(33) Perform self calibrating processing to timely about the operational amplifier for a calibration. In self calibrating processing, while impressing a fixed electrical potential difference to one input edge of the operational amplifier for a calibration, only a period forms suitably the feedback loop which impresses the electrical

potential difference accumulated in electric capacity about the output voltage at that time to the input edge of another side, and the condition of impressing the maintenance electrical potential difference of a stable state to the input edge of another side is maintained.

(34) While connecting n input terminals to the input edge of another side of n Maine operational amplifiers according to an individual, connect n output terminals to the outgoing end of these n Maine operational amplifiers according to an individual, respectively.

(35) The fixed electrical potential difference for a calibration is impressed to the input edge of another side of remaining one Maine operational amplifier, impress the output voltage of this Maine operational amplifier to one input edge of the operational amplifier [ finishing / said self calibrating ] for a calibration, and only a period forms the feedback loop involving the Maine operational amplifier suitably in inputting the output voltage of the operational amplifier for a calibration into the calibration electrical-potential-difference holding circuit corresponding to the Maine operational amplifier, and update the output voltage of a calibration electrical-potential-difference holding circuit.

(36) (n+1) One piece is specified as "remaining one Maine operational amplifier" in an order from the inside of the Maine operational amplifier of an individual, and the aforementioned actuation is repeated.

[Claim 4] It is a direct-current amplifying circuit according to claim 1 to 3, and said calibration electrical-potential-difference holding circuit is a circuit which introduces the output voltage of said operational amplifier for a calibration into electric capacity through a switching circuit, and gives the maintenance electrical potential difference to said Maine operational amplifier.

[Claim 5] It is a direct-current amplifying circuit according to claim 1 to 3, and said calibration electrical-potential-difference holding circuit consists of DA translation circuits which change into analog voltage the digital output of the counter which counts [ rise-] or operates [ down-count-] according to the polarity of the output voltage of said operational amplifier for a calibration, and this counter, and are

given to said Maine operational amplifier.

[Claim 6] It is a direct-current amplifying circuit according to claim 1 to 3, and said calibration electrical-potential-difference holding circuit consists of DA translation circuits which change into analog voltage the digital output of the successive approximations register which carries out renewal of sequential of each digit of the digital value currently stored according to the polarity of the output voltage of said operational amplifier for a calibration, and this successive approximations register, and are given to said Maine operational amplifier.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
  2. \*\*\* shows the word which can not be translated.
  3. In the drawings, any words are not translated.
- 

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the circuit technique which proofreads the offset voltage by a temperature drift etc. automatically especially about the direct-current amplifying circuit included in analog circuit systems, such as various kinds of sensor circuits, actuation circuits, etc.

[0002]

[Description of the Prior Art] For example, in the electronic control system of an

automobile, the circuit system which amplifies the analog output of various sensors, the circuit system which amplifies the analog output from a servo control system etc., and drives an actuator etc. are contained. The direct-current amplifying circuit using the big operational amplifier of gain is often used for these analog circuit systems. The important thing in such a concrete application scene is maintaining high degree of accuracy so that the input-output behavioral characteristics of a direct-current amplifying circuit may always satisfy requirement specification. In the case of a direct-current amplifying circuit, it is offset voltage that advanced stability is especially required. That is, when input voltage is zero, it is bringing output voltage close to zero infinite.

[0003] When maintaining the precision of a direct-current amplifying circuit, fluctuation of an environmental condition serves as a serious failure. Especially a decisive thing is change of a temperature environment. The offset voltage of a common operational amplifier will change with temperature drifts a lot fairly. Therefore, it will be used, compensating timely for this temperature drift by a certain approach.

[0004] According to such an object, the direct-current amplifying circuit which added the circuit which proofreads offset voltage automatically is developed. The circuit is shown in drawing 1 conventionally [ the / typical ]. Input voltage  $V_{in}$  It is impressed by + input terminal of an operational amplifier A through the circuit changing switch circuit SW1. The calibration electrical potential difference  $V_s$  held at capacitor 1b is impressed to - input terminal of an operational amplifier A. the electrical potential difference of these two inputs -- difference amplifies -- having -- output voltage  $V_{out}$  It is decided. This is in normal operation mode. In addition, in this mode, switching circuit 2b is off.

[0005] The actuation which updates as follows the calibration electrical potential difference  $V_s$  held at capacitor 1b is in calibration mode. While changing the circuit changing switch circuit SW1 and impressing a fixed touch-down electrical potential difference (zero bolt) to + input terminal of an operational amplifier A, switching circuit 2b is turned ON, and it is the output voltage  $V_{out}$  at that time. It

is impressed by capacitor 1b through resistance 3b. That is, the capacitor type calibration electrical-potential-difference holding circuit B which consists of capacitor 1b, resistance 3b, and switching circuit 2b is minded, and it is output voltage  $V_{out}$ . Negative feedback will be carried out to - input terminal. By carrying out period continuation of this condition suitably, it is output voltage  $V_{out}$ . The calibration electrical potential difference  $V_s$  made into min is decided automatically.

[0006]

[Problem(s) to be Solved by the Invention] In an example with the electronic control system of an industrial device, it is required in a -40 degrees C - 100 degrees C temperature requirement that the output offset voltage of a direct-current amplifying circuit 1000 times the gain of this should be stored in less than 1 millivolt. It is almost next to impossible to fill this demand with the conventional circuit technique shown in drawing 1 . Although output offset voltage can be reduced even on the almost same level as input offset voltage by the method which generates the calibration electrical potential difference  $V_s$  by simple negative feedback like drawing 1 , more than it is theoretically impossible.

[0007] This invention was made in view of the conventional trouble mentioned above, and that object is in offering the direct-current amplifying circuit which added the automatic calibration circuit of the offset voltage which enabled it to control output offset voltage to level substantially smaller than input offset voltage.

[0008]

[Means for Solving the Problem] = It is the direct-current amplifying circuit which has the description to the calibration method of the invention == (1) offset voltage of == claim 1.

(2) The output voltage of a calibration electrical-potential-difference holding circuit is impressed to one input edge of the Maine operational amplifier. The input of a calibration electrical-potential-difference holding circuit is connected to the outgoing end of the operational amplifier for a calibration.

(3) In normal operation mode, while the input voltage which is an object for

magnification is impressed to the input edge of another side of the Maine operational amplifier, the output voltage of the Maine operational amplifier is handed over by the application system as a magnification result.

(4) Perform self calibrating processing about the operational amplifier for a calibration in the 1st process in calibration mode. While impressing the fixed electrical potential difference for a calibration to one input edge of the operational amplifier for a calibration, only a period forms suitably the feedback loop which impresses the electrical potential difference accumulated in electric capacity about the output voltage at that time to the input edge of another side, and the condition of impressing the are recording electrical potential difference of a stable state to the input edge of another side is maintained.

(5) Perform self calibrating processing about the Maine operational amplifier in the 2nd process in calibration mode. While impressing the fixed electrical potential difference for a calibration to one input edge of the Maine operational amplifier, the output voltage at that time is impressed to one input edge of the operational amplifier [ finishing / said self calibrating ] for a calibration. Only a period forms the feedback loop involving the Maine operational amplifier suitably in inputting into the calibration electrical-potential-difference holding circuit where the output voltage of the operational amplifier for a calibration was connected to the input edge of another side of the Maine operational amplifier, and the output voltage of a calibration electrical-potential-difference holding circuit is updated.  
[0009] = It is the direct-current amplifying circuit which has the description to the calibration method of the invention == (21) offset voltage of == claim 2.

(22) The input voltage which is an object for magnification, and the fixed electrical potential difference for a calibration are selectively impressed to one input edge of the Maine operational amplifier through the circuit changing switch circuit SW1. The output voltage of the Maine operational amplifier is handed over by the application system as a magnification result.

(23) The output voltage of the Maine operational amplifier and the fixed electrical potential difference for a calibration are selectively impressed to one input edge

of the operational amplifier for a calibration through the circuit changing switch circuit SW2. The output voltage of the operational amplifier for a calibration serves as a capacitor 1d input through 2d of switching circuits, and the electrical potential difference held at this capacitor 1d is impressed to the input of another side of the operational amplifier for a calibration.

(24) The output voltage of the operational amplifier for a calibration serves as an input of a calibration electrical-potential-difference holding circuit, and the calibration electrical potential difference outputted from this calibration electrical-potential-difference holding circuit is impressed to the input of another side of the Maine operational amplifier.

(25) In the 1st process in calibration mode, while impressing a fixed electrical potential difference to the input edge of the operational amplifier for a calibration through the circuit changing switch circuit SW2, turn ON 2d of switching circuits. After a capacitor 1d electrical potential difference is stabilized, 2d of switching circuits is turned OFF.

(26) In the 2nd process in calibration mode, while impressing a fixed electrical potential difference to the input edge of the Maine operational amplifier through the circuit changing switch circuit SW1, impress the output voltage of the Maine operational amplifier to the input of the operational amplifier for a calibration through the circuit changing switch circuit SW2. At this time, predetermined actuation is stabilized in a calibration electrical-potential-difference holding circuit by a line crack and the calibration electrical potential difference suitably outputted from this calibration electrical-potential-difference holding circuit after period progress.

(27) In the normal operation mode after calibration activation, after switching circuit 2b is cut, impress input voltage to the input edge of the Maine operational amplifier through the circuit changing switch circuit SW1.

[0010] = It is the direct-current amplifying circuit which has the description to the calibration method of the invention == (31) offset voltage of == claim 3.

(32) There are n input terminals, n output terminals, and a Maine operational

amplifier of an individual ( $n+1$ ). The output voltage of the calibration electrical-potential-difference holding circuit prepared according to the individual, respectively is impressed to one input edge of each Maine operational amplifier. Common connection of the input of each calibration electrical-potential-difference holding circuit is made at the outgoing end of the operational amplifier for a calibration.  $n$  is one or more integers.

(33) Perform self calibrating processing to timely about the operational amplifier for a calibration. In self calibrating processing, while impressing a fixed electrical potential difference to one input edge of the operational amplifier for a calibration, only a period forms suitably the feedback loop which impresses the electrical potential difference accumulated in electric capacity about the output voltage at that time to the input edge of another side, and the condition of impressing the maintenance electrical potential difference of a stable state to the input edge of another side is maintained.

(34) While connecting  $n$  input terminals to the input edge of another side of  $n$  Maine operational amplifiers according to an individual, connect  $n$  output terminals to the outgoing end of these  $n$  Maine operational amplifiers according to an individual, respectively.

(35) The fixed electrical potential difference for a calibration is impressed to the input edge of another side of remaining one Maine operational amplifier, impress the output voltage of this Maine operational amplifier to one input edge of the operational amplifier [ finishing / said self calibrating ] for a calibration, and only a period forms the feedback loop involving the Maine operational amplifier suitably in inputting the output voltage of the operational amplifier for a calibration into the calibration electrical-potential-difference holding circuit corresponding to the Maine operational amplifier, and update the output voltage of a calibration electrical-potential-difference holding circuit.

(36) ( $n+1$ ) One piece is specified as "remaining one Maine operational amplifier" in an order from the inside of the Maine operational amplifier of an individual, and the aforementioned actuation is repeated.

[0011] = Invention == of == claim 4 = it is a direct-current amplifying circuit according to claim 1 to 3, and said calibration electrical-potential-difference holding circuit is a circuit which introduces the output voltage of said operational amplifier for a calibration into electric capacity through a switching circuit, and gives the maintenance electrical potential difference to said Maine operational amplifier.

[0012] = Invention == of == claim 5 = it is a direct-current amplifying circuit according to claim 1 to 3, and said calibration electrical-potential-difference holding circuit consists of DA translation circuits which change into analog voltage the digital output of the counter which counts [ rise-] or operates [ down-count-] according to the polarity of the output voltage of said operational amplifier for a calibration, and this counter, and are given to said Maine operational amplifier.

[0013] = Invention == of == claim 6 = it is a direct-current amplifying circuit according to claim 1 to 3, and said calibration electrical-potential-difference holding circuit consists of DA translation circuits which change into analog voltage the digital output of the successive approximations register which carries out renewal of sequential of each digit of the digital value currently stored according to the polarity of the output voltage of said operational amplifier for a calibration, and this successive approximations register, and are given to said Maine operational amplifier.

[0014]

[Embodiment of the Invention] The configuration of the direct-current amplifying circuit which has the description is shown in the calibration method of the offset voltage by one example of invention of \*\*\*\*\* of <example 1> (1) circuitry at drawing 2 . Output voltage Vout from the Maine operational amplifier A set as the object of an offset voltage calibration in this circuit The calibration electrical potential difference Vs is generated by carrying out negative feedback through the operational amplifier C for a calibration. The place which formed the operational amplifier C for a calibration in the negative feedback way is a

characteristic place of this invention, and it is a point different conventionally this was generating the calibration electrical potential difference Vs by simple negative feedback from a circuit. Therefore, explanation of the part of the conventionally same configuration as a circuit is omitted, and explains only the configuration of said operational amplifier C for a calibration.

[0015] Said operational amplifier C for a calibration has come to be able to do self calibrating of offset voltage. That is, the circuit changing switch circuit SW2 is + minded [ of the operational amplifier C for a calibration ], and it is the output voltage Vout of the Main operational amplifier A. A touch-down electrical potential difference is impressed selectively, and negative feedback of the output voltage Vc of this operational amplifier C for a calibration is carried out to - input terminal of the operational amplifier C for a calibration through the capacitor type calibration electrical-potential-difference holding circuit D. In addition, the capacitor type calibration electrical-potential-difference holding circuit D consists of capacitor 1d, 3d of resistance, and 2d of switching circuits.

[0016] (2) While input voltage Vin is impressed to + input terminal of the normal operation mode main operational amplifier A, the calibration electrical potential difference Vs held at capacitor 1b of the capacitor type calibration electrical-potential-difference holding circuit B is impressed to - input terminal. the electrical potential difference of these two inputs -- difference amplifies -- having -- output voltage Vout It is decided and this is handed over by the application system. In addition, in this mode, switching circuit 2b is off.

[0017] (3) The offset voltage calibration of the operational amplifier C for the 1st process calibration in calibration mode is performed timely in the following way. While changing a circuit changing switch SW2 and impressing a fixed touch-down electrical potential difference to + input terminal, 2d of switching circuits is turned ON, and the output voltage Vc of the operational amplifier C for a calibration is impressed to capacitor 1d through 3d of resistance. That is, negative feedback of the output voltage Vc of the operational amplifier C for a calibration will be carried out to - input terminal through the capacitor type

calibration electrical-potential-difference holding circuit D. Calibration electrical potential difference  $V_{sc}$  which makes output voltage  $V_c$  min by carrying out period continuation of this condition suitably It is decided automatically. At this time, since the gain of the operational amplifier C for a calibration is large enough, output offset voltage is reduced by the almost same level as input offset voltage.

[0018] (4) After the 1st process in the 2nd process aforementioned calibration mode in calibration mode is completed, perform the offset calibration of the Maine operational amplifier A. While changing a circuit changing switch SW1 and impressing a fixed touch-down electrical potential difference to + input terminal of the Maine operational amplifier A, switching circuit 2b is turned ON and the output voltage  $V_c$  of said operational amplifier C for a calibration is impressed to capacitor 1b through resistance 3b. That is, negative feedback of the output voltage  $V_c$  of the operational amplifier C for a calibration will be carried out to - input terminal of the Maine operational amplifier A through the capacitor type calibration electrical-potential-difference holding circuit B. The calibration electrical potential difference  $V_s$  which makes min output voltage  $V_{out}$  of the Maine operational amplifier A is automatically decided by carrying out period continuation of this condition suitably.

[0019] Since the gain of the Maine operational amplifier A is large enough at this time, the output offset voltage of the Maine operational amplifier A is reduced by level still lower than the output offset voltage of said calibration operational amplifier C. For example, when both gain of the Maine operational amplifier A and the operational amplifier C for a calibration is made into 100 times and each input offset voltage before performing an offset voltage calibration is set to  $V_{ia}$  and  $V_{ic}$ , the output offset voltage  $V_o$  of the Maine operational amplifier A is  $V_o=0.01x(V_{ia}-V_{ic})$ .

It becomes. Therefore, the output offset voltage  $V_o$  of the Maine operational amplifier A is substantially reduced compared with the conventional circuit technique.

[0020] In the <example 2> example 1, the capacitor type calibration electrical-

potential-difference holding circuit B is adopted as a circuit which generates the calibration electrical potential difference Vs impressed to - input terminal of the Maine operational amplifier A. When the advantage [ holding circuit / B / this / capacitor type calibration electrical-potential-difference ] that circuitry is easy turned on and off switching circuit 2b of a certain thing, the sudden noise may have entered and the calibration electrical potential difference Vs may have been out of order. In order to avoid this problem, in this example, the counter type calibration electrical-potential-difference holding circuit E is used instead of said capacitor type calibration electrical-potential-difference holding circuit B. The configuration of the direct-current amplifying circuit which performs the automatic calibration using this counter type calibration electrical-potential-difference holding circuit E of offset voltage is shown in drawing 3 .

[0021] The counter type calibration electrical-potential-difference holding circuits E are the following circuitry. There are updown counter 2e which has an input terminal according to individual, respectively about the output voltage Vc of the operational amplifier C for a calibration and the output signal of clock generation circuit 1e, and digital analog converter (following, DAC) 3e for changing the digital signal from this updown counter 2e into an analog signal, and impressing that output voltage Vs to - input terminal of the Maine operational amplifier A.

[0022] When operating this circuit, only the 2nd process in calibration mode differs from an example 1. Therefore, only the 2nd process in calibration mode is explained below and the explanation about other actuation is omitted. In the 2nd process in calibration mode, while a fixed touch-down electrical potential difference is impressed to + input terminal of the Maine operational amplifier A, the output voltage Vc from the operational amplifier [ finishing / a calibration ] C for a calibration is inputted into updown counter 2e. While the synchronizing signal from clock generation circuit 1e is inputted into this updown counter 2e, if Vc is forward potential, a rise count will be carried out, and a down count will be carried out if Vc is negative potential. By carrying out period continuation of this condition suitably, the digital value outputted from updown counter 2e is

stabilized. If the synchronizing signal outputted from clock generation circuit 1e here is turned OFF, the digital value of the stable state will be held by updown counter 2e. This held digital value is changed into an analog signal, serves as the calibration electrical potential difference Vs, and is impressed to - input terminal of the Maine operational amplifier A by DAC3e.

[0023] In this example, since the calibration electrical potential difference Vs is generated by digital processing, it is held, without changing until it will reset, once it sets up. Therefore, it is dramatically effective when the calibration period of offset voltage becomes long.

[0024] A circuit as transposed the counter type calibration electrical-potential-difference holding circuit E of the <example 3> example 2 to the successive approximations register type calibration electrical-potential-difference holding circuit F and shown in drawing 4 is constituted. The same effectiveness as an example 2 can be acquired also in this circuit. This successive approximations register type calibration electrical-potential-difference holding circuit F transposes updown counter 2e which constitutes the counter type calibration electrical-potential-difference holding circuit E to successive approximations register 2f, and is constituted, and the other configurations of it are the same as that of the counter type calibration electrical-potential-difference holding circuit E. In addition, it has [ this successive approximations register 2f as well as updown counter 2e ] an input terminal according to individual, respectively about the output signal of the output voltage Vc of the operational amplifier C for a calibration, and 1f of clock generation circuits.

[0025] The 2nd process in calibration mode which is different from an example 2 when operating this circuit is explained. The output voltage Vc from the operational amplifier [ finishing / a calibration ] C for a calibration is inputted into successive approximations register 2f. While the synchronizing signal from 1f of clock generation circuits is inputted into this successive approximations register 2f, the comparison with the D/A value of digital value and Vc which are stored beforehand is performed. The maximum digit of digital value is changed so that it

may bring close to the value of  $V_c$  first. When a D/A value and the size relation of  $V_c$  do not change here, the maximum digit is set to the value, and when it changes, it resets. Such actuation is repeated by the digit count toward a small digit, and digital value is determined. This actuation is continued and performed while the synchronizing signal is outputted from 1f of said clock generation circuits. Since it is the same as that of the example 2 mentioned above, the actuation after this is omitted.

[0026] Although normal operation mode was not able to be made to continue continuously in the circuitry of the <example 4> example 1 thru/or an example 3, an offset voltage calibration can be performed without interrupting normal operation mode, if two Maine operational amplifiers A are used like the following examples. The example of a circuit is shown in drawing 5 . Common connection of - input terminal of one Maine operational amplifier A1 and the - input terminal of the Maine operational amplifier A0 of another side is made at the output terminal of the operational amplifier C for a calibration through the calibration electrical-potential-difference holding circuits VG1 and VG0 according to individual, respectively. In addition, said calibration electrical-potential-difference holding circuits VG1 and VG0 generate the calibration electrical potential differences  $V_{s1}$  and  $V_{s0}$ , respectively. That is, the calibration electrical-potential-difference holding circuits VG1 and VG0 are equivalent to the capacitor type calibration electrical-potential-difference holding circuit B of an example 1, the counter type calibration electrical-potential-difference holding circuit E of an example 2, and the successive approximations register type calibration electrical-potential-difference holding circuit F of an example 3, respectively.

[0027] Since it has the description in the structure of a change, this circuit explains that configuration. It is input voltage  $V_{in}$  to + input terminal of the Maine operational amplifier A1 by changing the circuit changing switch circuit SW1. A touch-down electrical potential difference can be selectively impressed now. Moreover, the output voltage of the Maine operational amplifier A1 can be selectively impressed now to + input terminal or the application system of the

operational amplifier B for a calibration by changing the circuit changing switch circuit SW4. About the Maine operational amplifier A0, an input changes by the circuit changing switch circuit SW3, and an output changes by the circuit changing switch circuit SW5, respectively.

[0028] Actuation of this circuit is explained to the next. During activation of an offset voltage calibration of one Maine operational amplifier A1, while changing the circuit changing switch circuit SW1 and impressing a touch-down electrical potential difference to + input terminal of the Maine operational amplifier A1, the circuit changing switch circuit SW3 is changed, and it is input voltage Vin to + input terminal of the Maine operational amplifier A0 of another side. It impresses. Moreover, the circuit changing switch circuit SW4 is changed, and it is the output voltage Vout of one Maine operational amplifier A1. While being impressed by + input terminal of the operational amplifier C for a calibration, the circuit changing switch circuit SW5 is changed, and it is the output voltage Vout of the Maine operational amplifier A0 of another side. It hands over in an application system. [0029] After the offset voltage calibration of the Maine operational amplifier A1 is completed, the offset voltage calibration of the Maine operational amplifier A0 of another side is performed at the same time it changes said four circuit changing switch circuits, respectively and returns the Maine operational amplifier A1 to normal operation mode.

[0030] As explained above, in this example, the Maine operational amplifier A of another side carries out an offset voltage calibration, using one Maine operational amplifier A, and a magnification signal can be continuously outputted by performing this by turns. Therefore, even when using it over the case where an environment changes substantially, or a long period of time, a high precision can be maintained by performing an offset voltage calibration frequently.

[0031] <Example 5> The outline of the circuit at the time of applying this invention to a multi-channel direct-current amplifying circuit is shown in drawing 6 . There are n input terminals, n output terminals, and a Maine operational amplifier A (A0, A1-An) of an individual (n+1). n is one or more integers here. The

output voltage Vs ( $V_s [0]$ ,  $V_{s1} - V_{sn}$ ) of the calibration electrical-potential-difference holding circuit VG ( $V_{G0}$ ,  $V_{G1}-V_{Gn}$ ) prepared according to the individual, respectively is impressed to - input terminal of each Maine operational amplifier A. It can be selectively impressed now by + input terminal of n Maine operational amplifiers A ( $A_1-A_n$ ) by the input voltage  $V_{in}$  ( $V_{in} [1] - V_{in}$ ) and the touch-down electrical potential difference corresponding to it, and they are a touch-down electrical potential difference and the input voltage  $V_{in}$  of all n channels in + input terminal of remaining one Maine operational amplifier  $A_0$ . It can impress now selectively. Moreover, the output voltage  $V_{out}$  of said n Maine operational amplifiers A ( $V_{out1} - V_{outn}$ ) can be selectively impressed now to + input terminal of the operational amplifier C for a calibration, and a corresponding output terminal, and can impress now selectively the output voltage of remaining one Maine operational amplifier  $A_0$  to them at + input terminal of the operational amplifier C for a calibration, and all n output terminals.

[0032] In this circuit, one is specified out of n Maine operational amplifiers A, and calibration processing about that Maine operational amplifier A is performed. A magnification signal can be continuously supplied by making the "remaining one Maine operational amplifier  $A_0$ " mentioned above at this time execute normal operation of the Maine operational amplifier A under calibration by proxy. If calibration processing is completed, said actuation will be repeated about the following Maine operational amplifier A.

[0033] Thus, also when there are two or more Maine operational amplifiers A set as the object of an offset calibration, it can respond with one operational amplifier C for a calibration. Therefore, it is possible to control buildup of circuit magnitude also in the analog LSI which builds in many amplifier at once to the minimum.

[0034]

[Effect of the Invention] According to this invention, the direct-current amplifying circuit which enabled it to control output offset voltage to level substantially smaller than input offset voltage can be offered. For this reason, a severe condition to which the width of face of an operating temperature limit exceeds

100 degrees C is also easily clearable. In addition, if the calibration electrical-potential-difference holding circuit which consists of an updown counter (or successive approximations register) and a digital analog converter is used instead of the capacitor for electrical-potential-difference maintenance usually used as a calibration electrical-potential-difference holding circuit, a calibration electrical potential difference is maintainable to stability over long duration.

[0035] Moreover, when the circuit which uses two operational amplifiers by turns is constituted, a magnification signal can be outputted continuously, performing an offset voltage calibration. Therefore, even when using it over the case where an environment changes substantially, or a long period of time, a high precision can be maintained by performing an offset voltage calibration frequently.

[0036] Furthermore, since it can respond only in 1 set of calibration circuits also when there is two or more Maine amplifier set as the object of an offset calibration, it is possible to control buildup of circuit magnitude also in the analog LSI which builds in many amplifier at once to the minimum.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is a circuit diagram for explaining the calibration method of the conventional offset voltage.

[Drawing 2] It is the circuit diagram of the direct-current amplifying circuit which has the description to the calibration method of the offset voltage about the example 1 of this invention.

[Drawing 3] It is the circuit diagram of the direct-current amplifying circuit which has the description to the calibration method of the offset voltage about the example 2 of this invention.

[Drawing 4] It is the circuit diagram of the direct-current amplifying circuit which has the description to the calibration method of the offset voltage about the example 3 of this invention.

[Drawing 5] It is the circuit diagram of the direct-current amplifying circuit which has the description to the calibration method of the offset voltage about the example 4 of this invention.

[Drawing 6] It is the circuit diagram of the direct-current amplifying circuit which has the description to the calibration method of the offset voltage about the example 5 of this invention.

[Description of Notations]

A Maine operational amplifier

B Capacitor type calibration electrical-potential-difference holding circuit

1b Capacitor

2b Switching circuit

3b Resistance

C The operational amplifier for a calibration

D Capacitor type calibration electrical-potential-difference holding circuit

1d Capacitor

2d Switching circuit

3d Resistance

E Counter type calibration electrical-potential-difference holding circuit

F Successive approximations register type calibration electrical-potential-difference holding circuit

SW1-SW5 Circuit changing switch circuit

VG Calibration electrical-potential-difference holding circuit

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

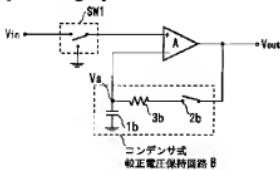
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

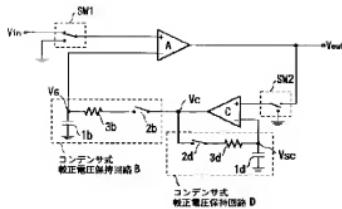
DRAWINGS

---

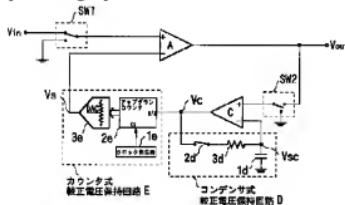
[Drawing 1]



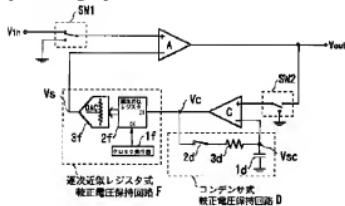
[Drawing 2]



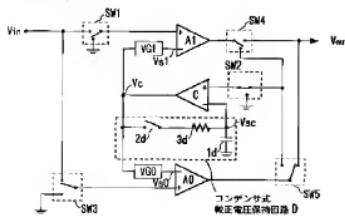
[Drawing 3]



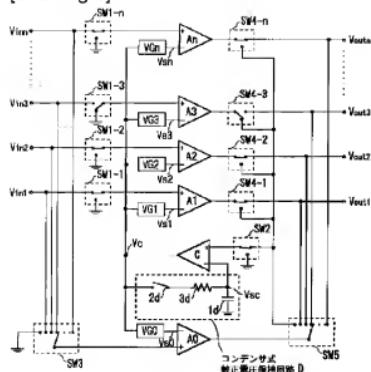
[Drawing 4]



[Drawing 5]



[Drawing 6]



---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特調2000-252770  
(P2000-252770A)

(43)公開日 平成12年9月14日(2000.9.14)

(51) Int.Cl.<sup>7</sup>  
H 03 F 3/34  
1/30

龍翔風景

F I  
H 0 3 F 3/34  
1/30

テ-マコ-ト<sup>+</sup>(参考)  
B 5 J 0 9 0  
A 5 J 0 9 1

(22)出願日 平成11年3月2日(1999.3.2)

審査請求 未請求 請求項の数 6 O.L. (全 8 頁)

(71)出願人 397024030  
株式会社アドバンストサーチキットテクノロジーズ  
神奈川県厚木市恩名471番地  
(72)発明者 阿部 宏  
神奈川県厚木市恩名471番地 株式会社アドバンストサーチキットテクノロジーズ内  
(74)代理人 100071283  
弁理士 一色 健輔 (外3名)

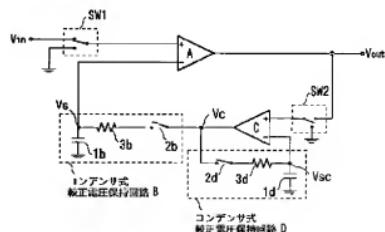
最終頁に統ぐ

(54) 【発明の名称】 オフセット電圧の校正方式に特徴を有する直流増幅回路

(57)【要約】

【課題】出力オフセット電圧を入力オフセット電圧よりも大幅に小さいレベルまで抑制することができるオフセット電圧の自動較正回路を付加した直流増幅回路を提供する

【構成】 通常モードでは、入力電圧 $V_{in}$ をメイン演算増幅器Aの+入力端子に印加するとともに、メイン演算増幅器Aの-入力端子にコンデンサ $C_1$ bに保持された較正電圧 $V_{c1}$ を印加することで出力電圧 $V_{out}$ が決まる。較正モードでは、メイン演算増幅器Aの+入力端子に接地電圧を印加するとともに、そのときの出力電圧 $V_{out}$ を自己較正済の較正用演算増幅器Cの+入力端子に印加する。較正用演算増幅器Cの出力電圧 $V_c$ をメイン演算増幅器Aの-入力端子に接続されたコンデンサ式較正電圧保持回路Bに入力することでメイン演算増幅器Aを巡るフィードバックループを適宜期間だけ形成し、前記較正電圧 $V_{c1}$ を更新する。



## 【特許請求の範囲】

【請求項1】 つぎの事項(1)～(5)により特定される発明。

(1) オフセット電圧の較正方式に特徴を有する直流増幅回路である。

(2) メイン演算増幅器の一方の入力端には較正電圧保持回路の出力電圧が印加されている。較正電圧保持回路の入力は較正用演算増幅器の出力端に接続されている。

(3) 通常動作モードでは、メイン演算増幅器の他方の入力端に増幅対象である入力電圧が印加されるとともに、メイン演算増幅器の出力電圧が増幅結果として応用系に引き渡される。

(4) 較正モードの第1プロセスでは、較正用演算増幅器についての自己較正処理を実行する。較正用演算増幅器の一方の入力端に較正用の一定電圧を印加するとともに、そのときの出力電圧について電気容量に蓄積した電圧を他方の入力端に印加するフィードバックループを適宜期間だけ形成し、安定状態の蓄積電圧を他方の入力端に印加する状態を保つ。

(5) 較正モードの第2プロセスでは、メイン演算増幅器についての自己較正処理を実行する。メイン演算増幅器の一方の入力端に較正用の一定電圧を印加するとともに、そのときの出力電圧を前記自己較正済の較正用演算増幅器の一方の入力端に印加する。較正用演算増幅器の出力電圧をメイン演算増幅器の他方の入力端に接続された較正電圧保持回路に入力することでメイン演算増幅器を巡るフィードバックループを適宜期間だけ形成し、較正電圧保持回路の出力電圧を更新する。

【請求項2】 つぎの事項(21)～(27)により特定される発明。

(21) オフセット電圧の較正方式に特徴を有する直流増幅回路である。

(22) メイン演算増幅器の一方の入力端に増幅対象である入力電圧と較正用の一定電圧とが切替スイッチ回路SW1を介して選択的に印加される。メイン演算増幅器の出力電圧が増幅結果として応用系に引き渡される。

(23) 較正用演算増幅器の一方の入力端にメイン演算増幅器の出力電圧と較正用の一定電圧とが切替スイッチ回路SW2を介して選択的に印加される。較正用演算増幅器の出力電圧がスイッチ回路2dを介してコンデンサ1dの入力となり、このコンデンサ1dに保持された電圧が較正用演算増幅器の他方の入力に印加される。

(24) 較正用演算増幅器の出力電圧が較正電圧保持回路の入力となり、この較正電圧保持回路から出力される較正電圧がメイン演算増幅器の他方の入力に印加される。

(25) 較正モードの第1プロセスでは、較正用演算増幅器の入力端に切替スイッチ回路SW2を介して一定電圧を印加するとともに、スイッチ回路2dをオンにする。コンデンサ1dの電圧が安定した後に、スイッチ回

路2dをオフにする。

(26) 較正モードの第2プロセスでは、メイン演算増幅器の入力端に切替スイッチ回路SW1を介して一定電圧を印加するとともに、較正用演算増幅器の入力に切替スイッチ回路SW2を介してメイン演算増幅器の出力電圧を印加する。このとき較正電圧保持回路において所定の動作が行われ、適宜期間経過後にこの較正電圧保持回路から出力される較正電圧が安定する。

(27) 較正実行後の通常動作モードでは、スイッチ回路2bが切断された後にメイン演算増幅器の入力端に切替スイッチ回路SW1を介して入力電圧を印加する。

【請求項3】 つぎの事項(31)～(36)により特定される発明。

(31) オフセット電圧の較正方式に特徴を有する直流増幅回路である。

(32) n個の入力端子と、n個の出力端子と、(n+1)個のメイン演算増幅器がある。各メイン演算増幅器の一方の入力端にはそれぞれ個別に設けられた較正電圧保持回路の出力電圧が印加されている。各較正電圧保持回路の入力は較正用演算増幅器の出力端に共通接続されている。nは1以上の整数である。

(33) 較正用演算増幅器については適時に自己較正処理を実行する。自己較正処理では、較正用演算増幅器の一方の入力端に一定電圧を印加するとともに、そのときの出力電圧について電気容量に蓄積した電圧を他方の入力端に印加するフィードバックループを適宜期間だけ形成し、安定状態の保持電圧を他方の入力端に印加する状態を保つ。

(34) n個のメイン演算増幅器の他方の入力端にn個の入力端子を個別に接続するとともに、それらn個のメイン演算増幅器の出力端にn個の出力端子をそれぞれ個別に接続する。

(35) 残り1個のメイン演算増幅器の他方の入力端には較正用の一定電圧を印加し、このメイン演算増幅器の出力電圧を前記自己較正済の較正用演算増幅器の一方の入力端に印加し、較正用演算増幅器の出力電圧をメイン演算増幅器に対応する較正電圧保持回路に入力することでメイン演算増幅器を巡るフィードバックループを適宜期間だけ形成し、較正電圧保持回路の出力電圧を更新する。

(36) (n+1)個のメイン演算増幅器の中から順番に1個を「残り1個のメイン演算増幅器」に指定して前記の動作を繰り返す。

【請求項4】 請求項1～3のいずれかに記載の直流増幅回路であって、前記較正電圧保持回路は、前記較正用演算増幅器の出力電圧をスイッチ回路を介して電気容量に導入し、その保持電圧を前記メイン演算増幅器に与える回路である。

【請求項5】 請求項1～3のいずれかに記載の直流増幅回路であって、前記較正電圧保持回路は、前記較正

演算増幅器の出力電圧の極性に応じてアップカウントまたはダウンカウント動作するカウンタと、このカウンタのデジタル出力をアナログ電圧に変換して前記メイン演算増幅器に与えるDA変換回路とから構成される。

【請求項6】 請求項1～3のいずれかに記載の直流増幅回路であって、前記較正電圧保持回路は、前記較正用演算増幅器の出力電圧の極性に応じてストアしているデジタル値の各桁を順次更新する逐次近似レジスタと、この逐次近似レジスタのデジタル出力をアナログ電圧に変換して前記メイン演算増幅器に与えるDA変換回路とから構成される。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 この発明は、各種のセンサ回路や駆動回路などのアナログ回路系に組み込まれる直流増幅回路に関し、とくに、温度ドリフトなどによるオフセット電圧を自動的に較正する回路技術に関する。

##### 【0002】

【従来の技術】 たとえば自動車の電子制御システムにおいては、各種センサのアナログ出力を増幅する回路系や、サーボ制御系などからのアナログ出力を増幅してアクチュエータなどを駆動する回路系などが含まれる。これらのアナログ回路系には、ゲインの大きな演算増幅器を用いた直流増幅回路がよく使用されている。このような具体的な応用場面において重要なことは、直流増幅回路の入出力特性がねに要求仕様を満足するよう高精度を維持することである。直流増幅回路の場合、とくに高度な安定を要求されるのはオフセット電圧である。つまり、入力電圧がゼロのとき出力電圧を限りなくゼロに近づけることである。

【0003】 直流増幅回路の精度を維持する上で大きな障害となるのは、環境条件の変動である。とくに決定的なのは温度環境の変化である。一般的な演算増幅器のオフセット電圧は温度ドリフトによって相当に大きく変化してしまう。したがって、この温度ドリフトをなんらかの方法によって適時に補償しながら使用することになる。

【0004】 このような目的に合せて、オフセット電圧を自動的に較正する回路を付加した直流増幅回路が開発されている。その代表的な従来回路を図1に示している。入力電圧 $V_{in}$ は切替スイッチ回路SW1を介して演算増幅器Aの+入力端子に印加される。演算増幅器Aの-入力端子にはコンデンサ1bに保持された較正電圧 $V_s$ が印加されている。この2入力の電圧差が増幅されて出力電圧 $V_{out}$ が決まる。これが通常動作モードである。なお、このモードではスイッチ回路2bはオフである。

【0005】 コンデンサ1bに保持された較正電圧 $V_s$ をつぎのように更新する動作が較正モードである。切替スイッチ回路SW1を切り替えて一定の接地電圧(ゼロ

ボルト)を演算増幅器Aの十入力端子に印加するとともに、スイッチ回路2bをオンにして、そのときの出力電圧 $V_{out}$ を抵抗3bを介してコンデンサ1bに印加する。つまりコンデンサ1bと抵抗3bおよびスイッチ回路2bからなるコンデンサ式較正電圧保持回路Bを介して出力電圧 $V_{out}$ が一入力端子に負帰還されることになる。この状態を適宜期間維持することで、出力電圧 $V_{out}$ を最小にする較正電圧 $V_s$ が自動的に決まる。

##### 【0006】

【発明が解決しようとする課題】 産業機器の電子制御システムのある例では、-40°C～100°Cの温度範囲において、ゲイン1000倍の直流増幅回路の出力オフセット電圧を1ミリボルト以内に収めることを要求される。この要求を満たすことは、図1に示した従来の回路技術ではほとんど不可能に近いことである。図1のように単純な負帰還により較正電圧 $V_s$ を生成する方式では、出力オフセット電圧を入力オフセット電圧とほぼ同じレベルにまで低減することができるが、それ以上は原理的に無理である。

【0007】 この発明は前述した従来の問題点に鑑みなされたもので、その目的は、出力オフセット電圧を入力オフセット電圧より大幅に小さいレベルまで抑制することができるようとしたオフセット電圧の自動較正回路を付加した直流増幅回路を提供することにある。

##### 【0008】

【課題を解決するための手段】 ==請求項1の発明==

(1) オフセット電圧の較正方式に特徴を有する直流増幅回路である。

(2) メイン演算増幅器の一方の入力端には較正電圧保持回路の出力電圧が印加されている。較正電圧保持回路の入力は較正用演算増幅器の出力端に接続されている。

(3) 通常動作モードでは、メイン演算増幅器の他の入力端に増幅対象である入力電圧が印加されるとともに、メイン演算増幅器の出力電圧が増幅結果として応用系に引き渡される。

(4) 較正モードの第1プロセスでは、較正用演算増幅器についての自己較正処理を実行する。較正用演算増幅器の一方の入力端に較正用の一定電圧を印加するとともに、そのときの出力電圧について電気容量に蓄積した電圧を他方の入力端に印加するフィードバックループを適宜期間だけ形成し、安定状態の蓄積電圧を他方の入力端に印加する状態を保つ。

(5) 較正モードの第2プロセスでは、メイン演算増幅器についての自己較正処理を実行する。メイン演算増幅器の一方の入力端に較正用の一定電圧を印加するとともに、そのときの出力電圧を前記自己較正の較正用演算増幅器の一方の入力端に印加する。較正用演算増幅器の出力電圧をメイン演算増幅器の他方の入力端に接続された較正電圧保持回路に入力することでメイン演算増幅器

を巡るフィードバックループを適宜期間だけ形成し、較正電圧保持回路の出力電圧を更新する。

【0009】= = =請求項2の発明= = =

(21) オフセット電圧の較正方式に特徴を有する直流增幅回路である。

(22) メイン演算増幅器の一方の入力端に增幅対象である入力電圧と較正用の一定電圧とが切替スイッチ回路SW1を介して選択的に印加される。メイン演算増幅器の出力電圧が増幅結果として応用系に引き渡される。

(23) 較正用演算増幅器の一方の入力端にメイン演算増幅器の出力電圧と較正用の一定電圧とが切替スイッチ回路SW2を介して選択的に印加される。較正用演算増幅器の出力電圧がスイッチ回路2dを介してコンデンサ1dの入力となり、このコンデンサ1dに保持された電圧が較正用演算増幅器の他方の入力に印加される。

(24) 較正用演算増幅器の出力電圧が較正電圧保持回路の入力となり、この較正電圧保持回路から出力される較正電圧がメイン演算増幅器の他方の入力に印加される。

(25) 較正モードの第1プロセスでは、較正用演算増幅器の入力端に切替スイッチ回路SW2を介して一定電圧を印加するとともに、スイッチ回路2dをオンにする。コンデンサ1dの電圧が安定した後に、スイッチ回路2dをオフにする。

(26) 較正モードの第2プロセスでは、メイン演算増幅器の入力端に切替スイッチ回路SW1を介して一定電圧を印加するとともに、較正用演算増幅器の入力に切替スイッチ回路SW2を介してメイン演算増幅器の出力電圧を印加する。このとき較正電圧保持回路において所定の動作が行われ、適宜期間経過後にこの較正電圧保持回路から出力される較正電圧が安定する。

(27) 較正実行後の通常動作モードでは、スイッチ回路2bが切離された後にメイン演算増幅器の入力端に切替スイッチ回路SW1を介して入力電圧を印加する。

【0010】= = =請求項3の発明= = =

(31) オフセット電圧の較正方式に特徴を有する直流增幅回路である。

(32) n個の入力端子と、n個の出力端子と、(n+1)個のメイン演算増幅器がある。各メイン演算増幅器の一方の入力端にはそれぞれ個別に設けられた較正電圧保持回路の出力電圧が印加されている。各較正電圧保持回路の入力は較正用演算増幅器の出力端に共通接続されている。nは1以上の整数である。

(33) 較正用演算増幅器については適時に自己較正処理を実行する。自己較正処理では、較正用演算増幅器の一方の入力端に一定電圧を印加するとともに、そのときの出力電圧について電気容量に蓄積した電圧を他方の入力端に印加するフィードバックループを適宜期間だけ形成し、安定状態の保持電圧を他方の入力端に印加する状態を保つ。

(34) n個のメイン演算増幅器の他方の入力端にn個の入力端子を個別に接続するとともに、それらn個のメイン演算増幅器の出力端にn個の出力端子をそれぞれ個別に接続する。

(35) 残り1個のメイン演算増幅器の他方の入力端には較正用の一定電圧を印加し、このメイン演算増幅器の出力電圧を前記自己較正処理の較正用演算増幅器の一方の入力端に印加し、較正用演算増幅器の出力電圧をメイン演算増幅器に対応する較正電圧保持回路に入力することでメイン演算増幅器を巡るフィードバックループを適宜期間だけ形成し、較正電圧保持回路の出力電圧を更新する。

(36) (n+1)個のメイン演算増幅器の中から順番に1個を「残り1個のメイン演算増幅器」に指定して前記の動作を繰り返す。

【0011】= = =請求項4の発明= = =

請求項1~3のいずれかに記載の直流增幅回路であって、前記較正電圧保持回路は、前記較正用演算増幅器の出力電圧をスイッチ回路を介して電気容量に導入し、その保持電圧を前記メイン演算増幅器に与える回路である。

【0012】= = =請求項5の発明= = =

請求項1~3のいずれかに記載の直流增幅回路であって、前記較正電圧保持回路は、前記較正用演算増幅器の出力電圧の極性に応じてアップカウントまたはダウングラウント動作するカウンタと、このカウンタのデジタル出力をアナログ電圧に変換して前記メイン演算増幅器に与えるDA変換回路とから構成される。

【0013】= = =請求項6の発明= = =

請求項1~3のいずれかに記載の直流增幅回路であって、前記較正電圧保持回路は、前記較正用演算増幅器の出力電圧の極性に応じてストアしているデジタル値の各桁を順次更新する逐次近似レジスタと、この逐次近似レジスタのデジタル出力をアナログ電圧に変換して前記メイン演算増幅器に与えるDA変換回路とから構成される。

【0014】

【発明の実施の形態】<実施例1>

(1) 回路構成の概略

この発明の一実施例によるオフセット電圧の較正方式に特徴を有する直流增幅回路の構成を図2に示す。この回路ではオフセット電圧較正の対象となるメイン演算増幅器Aからの出力電圧Voutを較正用演算増幅器Cを介して負帰還させることにより較正電圧Vsを生成するようにしてある。負帰還路に較正用演算増幅器Cを設けたところがこの発明の特徴的なところであり、ここが単純な負帰還により較正電圧Vsを生成していた従来回路と異なる点である。そのため従来回路と同じ構成の部分の説明は省略し前記較正用演算増幅器Cの構成についてのみ説明する。

【0015】前記較正用演算増幅器Cはオフセット電圧の自己較正ができるようになっている。つまり較正用演算増幅器Cの+入力端子には切替スイッチ回路SW2を介してメイン演算増幅器Aの出力電圧Voutと接地電圧Vcとが選択的に印加されるようになっており、この較正用演算増幅器Cの出力電圧Vcがコンデンサ式較正電圧保持回路Dを介して較正用演算増幅器Cの-入力端子に負帰還されるようになっている。なおコンデンサ式較正電圧保持回路Dはコンデンサ1dと抵抗3dおよびスイッチ回路2dから構成されている。

#### 【0016】(2) 通常動作モード

メイン演算増幅器Aの+入力端子に入力電圧Vinが印加されるとともに、-入力端子にコンデンサ式較正電圧保持回路Bのコンデンサ1bに保持された較正電圧Vsが印加される。この2入力の電圧差分が增幅されて出力電圧Voutが決まり、これが応用系に引き渡される。なお、このモードではスイッチ回路2bはオフである。

#### 【0017】(3) 較正モードの第1プロセス

較正用演算増幅器Cのオフセット電圧Rtはつぎの要領で適時実行される。切替スイッチSW2を切り替えて一定の接地電圧を+入力端子に印加するとともに、スイッチ回路2dをオンにして較正用演算増幅器Cの出力電圧Vcを抵抗3dを介してコンデンサ1dに印加する。つまりコンデンサ式較正電圧保持回路Dを介して較正用演算増幅器Cの出力電圧Vcが-入力端子に負帰還されることになる。この状態を適宜期間維持することで、出力電圧Vcを最小にする較正電圧Vscが自動的に決まる。このとき較正用演算増幅器Cのゲインは十分大きいので出力オフセット電圧は入力オフセット電圧とはほぼ同じレベルに低減される。

#### 【0018】(4) 較正モードの第2プロセス

前記較正モードの第1プロセスが完了した後、メイン演算増幅器Aのオフセット較正を実行する。切替スイッチSW1を切り替えて一定の接地電圧をメイン演算増幅器Aの+入力端子に印加するとともに、スイッチ回路2bをオンにして前記較正用演算増幅器Cの出力電圧Vcを抵抗3bを介してコンデンサ1bに印加する。つまりコンデンサ式較正電圧保持回路Bを介して較正用演算増幅器Cの出力電圧Vcがメイン演算増幅器Aの-入力端子に負帰還されることになる。この状態を適宜期間維持することで、メイン演算増幅器Aの出力電圧Voutを最小にする較正電圧Vsが自動的に決まる。

【0019】このときメイン演算増幅器Aのゲインは十分大きいので、メイン演算増幅器Aの出力オフセット電圧が前記較正用演算増幅器Cの出力オフセット電圧よりさらに低いレベルに低減される。例えばメイン演算増幅器Aと較正用演算増幅器Cのゲインをともに100倍とし、オフセット電圧較正を実行する前のそれぞれの入力オフセット電圧をVia、Vicとすると、メイン演算増幅器Aの出力オフセット電圧Voは、

$$Vo = 0.01 \times (Via - Vic)$$

となる。よってメイン演算増幅器Aの出力オフセット電圧Voは従来の回路技術に比べて大幅に低減される。

【0020】<実施例2>実施例1ではメイン演算増幅器Aの-入力端子に印加する較正電圧Vsを発生する回路としてコンデンサ式較正電圧保持回路Bを採用している。このコンデンサ式較正電圧保持回路Bは回路構成が容易であるという利点はあるものの、スイッチ回路2bをオンオフするとき突発的なノイズが入り較正電圧Vsが狂ってしまう可能性があった。この問題を回避するためこの実施例では前記コンデンサ式較正電圧保持回路Bの代わりにカウンタ式較正電圧保持回路Eを用いる。このカウンタ式較正電圧保持回路Eを利用したオフセット電圧の自動較正を行う直流増幅回路の構成を図3に示す。

【0021】カウンタ式較正電圧保持回路Eはつぎのような回路構成である。較正用演算増幅器Cの出力電圧Vcおよびクロック発生回路1eの出力信号についてそれぞれ個別の入力端子をもつアップダウンカウンタ2eと、このアップダウンカウンタ2eからのデジタル信号をアナログ信号に変換してその出力電圧Vsをメイン演算増幅器Aの-入力端子に印加するためのデジタル・アナログコンバータ(以下、DAC)3eがある。

【0022】この回路を動作させる上で実施例1と異なる点は較正モードの第2プロセスのみである。よって以下較正モードの第2プロセスのみについて説明し、その他の動作についての説明は省略する。較正モードの第2プロセスでは、一定の接地電圧がメイン演算増幅器Aの+入力端子に印加されるとともに、較正済の較正用演算増幅器Cからの出力電圧Vcがアップダウンカウンタ2eに入力されている。このアップダウンカウンタ2eにクロック発生回路1eからの同期信号が入力されている間、Vcが正電位ならばアップカウントし、Vcが負電位ならばダウンドカウントする。この状態を適宜期間維持することで、アップダウンカウンタ2eから出力されるデジタル値が安定する。ここでクロック発生回路1eから出力される同期信号をオフになるとその安定状態のデジタル値がアップダウンカウンタ2eによって保持される。この保持されたデジタル値はDAC3eによってアナログ信号に変換されて較正電圧Vsとなりメイン演算増幅器Aの-入力端子に印加される。

【0023】この実施例ではデジタル処理により較正電圧Vsを発生するため、一度設定てしまえば再設定されるとまで変動することなく保持される。よってオフセット電圧の較正周期が長くなる場合は非常に有効である。

【0024】<実施例3>実施例2のカウンタ式較正電圧保持回路Eを逐次近似レジスタ式較正電圧保持回路Fに置き換えて図4に示すような回路を構成する。この回路でも実施例2と同様の効果を得ることができる。この逐次近似レジスタ式較正電圧保持回路Fはカウンタ式較

正電圧保持回路Eを構成するアップダウンカウンタ2eを逐次近似レジスタ2fに置き換えて構成されており、その他の構成はカウンタ式較正電圧保持回路Eと同じである。なおこの逐次近似レジスタ2fもアップダウンカウンタ2eと同様に、較正用演算増幅器Cの出力電圧Vcおよびクロック発生回路1fの出力信号についてそれぞれ個別の入力端子をもつ。

【0025】この回路を動作させる上で実施例2と異なる点は、較正モードの第2プロセスについて説明する。

較正済の較正用演算増幅器Cからの出力電圧Vcが逐次近似レジスタ2fに入力されている。この逐次近似レジスタ2fにクロック発生回路1fからの同期信号が入力されている間、予めストアされているデジタル値のD/A値とVcとの比較が行われる。まずVcの値に近づけるようにデジタル値の最大桁を変化させる。ここでD/A値とVcの大小関係が変化しない場合は最大桁をその値にセットし、変化した場合はリセットする。このような操作が小さい桁に向かって桁数分だけ繰り返され、デジタル値が決定される。この動作は前記クロック発生回路1fから同期信号が输出されている間継続して実行される。これ以降の動作は前述した実施例2と同様であるので省略する。

【0026】<実施例4>実施例1ないし実施例3の回路構成では通常動作モードを連続的に維持させることができなかつたが、以下の実施例のように2個のメイン演算増幅器Aを用いれば通常動作モードを中断せることなくオフセット電圧較正ができる。その回路例を図5に示す。一方のメイン演算増幅器A1の一入力端子と他方のメイン演算増幅器A0の一入力端子はそれぞれ個別の較正電圧保持回路VG1、VG0を介して較正用演算増幅器Cの出力端子に共通接続されている。なお前記較正電圧保持回路VG1、VG0は較正電圧Vs1、Vs0をそれぞれ発生する。つまり較正電圧保持回路VG1、VG0は、実施例1のコンデンサ式較正電圧保持回路Bや、実施例2のカウンタ式較正電圧保持回路E、実施例3の逐次近似レジスタ式較正電圧保持回路Fにそれぞれ対応している。

【0027】この回路では切替の仕組みに特徴を有するのでその構成を説明する。切替スイッチ回路SW1を切り替えることによりメイン演算増幅器A1の+入力端子に入力電圧Vinと接地電圧を選択的に印加できるようになっている。また切替スイッチ回路SW4を切り替えることによりメイン演算増幅器A1の出力電圧を較正用演算増幅器Bの+入力端子または応用系に選択的に印加できるようになっている。メイン演算増幅器A0については切替スイッチ回路SW3によって入力が、切替スイッチ回路SW5によって出力がそれぞれ切り替わるようになっている。

【0028】つぎにこの回路の動作の説明をする。一方のメイン演算増幅器A1のオフセット電圧較正の実行中

は、切替スイッチ回路SW1を切り替えてメイン演算増幅器A1の+入力端子に接地電圧を印加するとともに、切替スイッチ回路SW3を切り替えて他方のメイン演算増幅器A0の+入力端子に入力電圧Vinを印加する。また切替スイッチ回路SW4を切り替えて一方のメイン演算増幅器A1の出力電圧Voutを較正用演算増幅器Cの+入力端子に印加するとともに、切替スイッチ回路SW5を切り替えて他方のメイン演算増幅器A0の出力電圧Voutを応用系に引き渡す。

【0029】メイン演算増幅器A1のオフセット電圧較正が完了した後、前記4つの切替スイッチ回路をそれぞれ切り替えてメイン演算増幅器A1を通常動作モードに戻すと同時に他方のメイン演算増幅器A0のオフセット電圧較正を実行する。

【0030】以上説明したようにこの実施例では、一方のメイン演算増幅器Aを使いながら他方のメイン演算増幅器Aのオフセット電圧較正し、これを交互に行うことによって連続的に増幅信号を出力できる。よって、環境が大幅に変化する場合や長期間にわたって使用する場合でも類似にオフセット電圧較正を行うことで高い精度を維持できる。

【0031】<実施例5>この発明を多チャンネル直流増幅回路に応用した場合の回路の概略を図6に示す。n個の入力端子と、n個の出力端子と、(n+1)個のメイン演算増幅器A(A0、A1~An)がある。ここでnは1以上の整数である。各メイン演算増幅器Aの一入力端子にはそれぞれ個別に設けられた較正電圧保持回路VG(VG0、VG1~VGn)の出力電圧Vs(n=Vs0、Vs1~Vsn)が印加されている。n個のメイン演算増幅器A(A1~An)の+入力端子にはそれに対応する入力電圧Vin(Vin1~Vinn)と接地電圧とが選択的に印加できるようになっており、残り1個のメイン演算増幅器A0の+入力端子には接地電圧とnチャンネルすべての入力電圧Vinが選択的に印加できるようになっている。また前記n個のメイン演算増幅器Aの出力電圧Vout(Vout1~Voutn)は較正用演算増幅器Cの+入力端子と対応する出力端子とに選択的に印加できるようになっており、残り1個のメイン演算増幅器A0の出力電圧は較正用演算増幅器Cの+入力端子とn個すべての出力端子とに選択的に印加できるようになっている。

【0032】この回路ではn個のメイン演算増幅器Aの中から1つを指定してそのメイン演算増幅器Aについての較正処理を実行する。このとき前述した「残り1個のメイン演算増幅器A0」に較正中のメイン演算増幅器Aの通常動作の代行をさせることで連続的に増幅信号が供給できる。較正処理が完了したならば次のメイン演算増幅器Aについて前記動作を繰り返す。

【0033】このようにオフセット較正の対象となるメイン演算増幅器Aが複数ある場合も1つの較正用演算増幅器Cのみで対応可能である。従って多数の増幅器を一

度に内蔵するアナログLSIにおいても回路規模の増大を最小限に抑制することが可能である。

#### 【0034】

【発明の効果】この発明によれば、出力オフセット電圧を入力オフセット電圧より大幅に小さいレベルまで抑制することができるようした直流增幅回路を提供できる。このため動作温度範囲の幅が $100^{\circ}\text{C}$ を超えるような過酷な条件も容易にクリアできる。なお、較正電圧保持回路として通常用いる電圧保持用コンデンサのかわりに、アップダウンカウンタ（または逐次近似レジスタ）とデジタル・アナログコンバータと構成される較正電圧保持回路を用いれば長時間にわたって較正電圧を安定に維持できる。

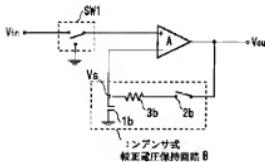
【0035】また、2つの演算増幅器を交互に用いる回路を構成した場合、オフセット電圧較正を行いつつ連続的に増幅信号を出力できる。よって、環境が大幅に変化する場合や長期間にわたって使用する場合でも類似にオフセット電圧較正を行うことで高い精度を維持できる。

【0036】さらには、オフセット較正の対象となるメイン増幅器が複数ある場合も1組の較正回路のみに対応できるので、多数の増幅器を一度に内蔵するアナログLSIにおいても回路規模の増大を最小限に抑制することが可能である。

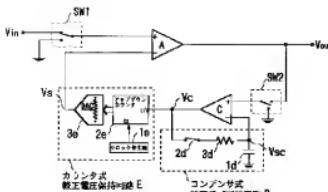
#### 【図面の簡単な説明】

【図1】従来のオフセット電圧の較正方式を説明するための回路図である。

【図1】



【図3】



【図2】この発明の実施例1に関するオフセット電圧の較正方式に特徴を有する直流增幅回路の回路図である。

【図3】この発明の実施例2に関するオフセット電圧の較正方式に特徴を有する直流增幅回路の回路図である。

【図4】この発明の実施例3に関するオフセット電圧の較正方式に特徴を有する直流增幅回路の回路図である。

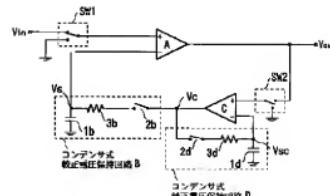
【図5】この発明の実施例4に関するオフセット電圧の較正方式に特徴を有する直流增幅回路の回路図である。

【図6】この発明の実施例5に関するオフセット電圧の較正方式に特徴を有する直流增幅回路の回路図である。

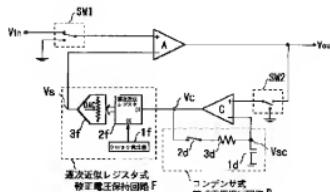
#### 【符号の説明】

- A (メイン) 演算増幅器
- B コンデンサ式較正電圧保持回路
- 1b コンデンサ
- 2b スイッチ回路
- 3b 抵抗
- C 較正用演算増幅器
- D コンデンサ式較正電圧保持回路
- 1d コンデンサ
- 2d スイッチ回路
- 3d 抵抗
- E カウンタ式較正電圧保持回路
- F 逐次近似レジスタ式較正電圧保持回路
- SW1～SW5 切替スイッチ回路
- VG 較正電圧保持回路

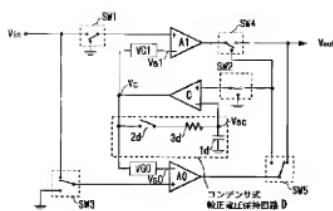
【図2】



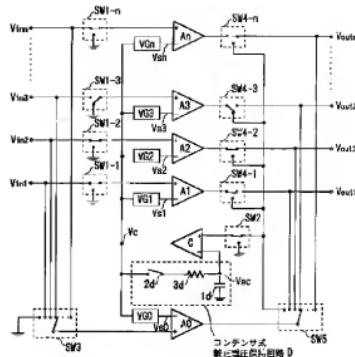
【図4】



【図5】



【図6】



フロントページの続き

F ターム(参考) 5J090 AA03 AA51 CA02 CA11 CA13  
 FA17 FN10 HA25 HA29 HA38  
 KA01 KA19 KA32 KA33 KA34  
 KA35 MA13 TA01  
 5J091 AA03 AA51 CA02 CA11 CA13  
 FA17 HA25 HA29 HA38 KA01  
 KA19 KA32 KA33 KA34 KA35  
 MA10 MA13 TA01